

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-150799

(43)Date of publication of application : 30.05.2000

(51)Int.Cl.

H01L 27/04
H01L 21/822
G05F 1/10

(21)Application number : 10-326805

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 17.11.1998

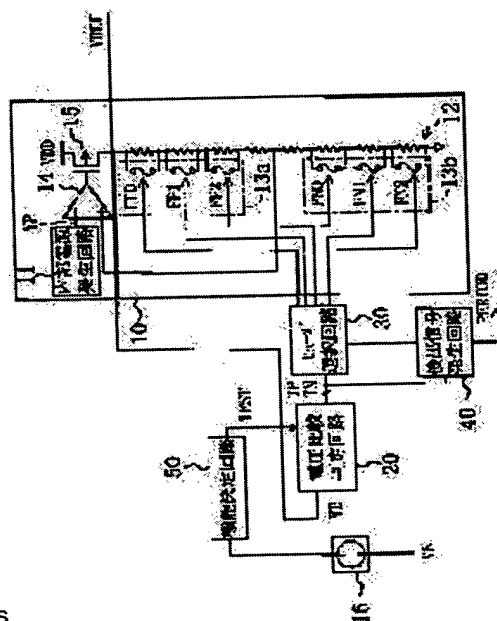
(72)Inventor : TAKASHIMA SATOSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To more improve the trimming accuracy of the internal reference voltage of a semiconductor integrated circuit device.

SOLUTION: A voltage comparison discriminating circuit 20 discriminates the necessity/nonnecessity of the trimming of an internal reference voltage VREF generated by means of an internal reference power source circuit 10, by comparing the voltage VREF with a set voltage VE impressed upon a bonding pad 16 from the outside. A fuse selecting circuit 30 sets the turning on/off of the pseudo fuse elements FP0-FP2 and FN0-FN2 of the circuit 10 upon receiving discriminate signals TP and TN from the circuit 20. At the time of trimming the voltage VREF, consequently, the measurement performed by using an external measuring instrument becomes unnecessary, and the utilization of a preprepared trimming table also becomes unnecessary. Therefore, such high-accuracy stable trimming that does not rely upon the measuring accuracy and manufacturing variation of the external measuring instrument is realized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-150799

(P2000-150799A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl.⁷

識別記号

F I

テマコード (参考)

H 0 1 L 27/04

H 0 1 L 27/04

B 5 F 0 3 8

21/822

G 0 5 F 1/10

3 0 1 A 5 H 4 1 0

G 0 5 F 1/10

3 0 1

審査請求 未請求 請求項の数13 O L (全 12 頁)

(21) 出願番号

特願平10-326805

(22) 出願日

平成10年11月17日 (1998. 11. 17)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 高島 敏

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外1名)

Fターム (参考) 5F038 AV06 AV08 AV13 BB04 BB07

CD16 DT02 DT08 DT17 DT18

EZ20

5H410 BB04 CC02 DD02 EA11 EB37

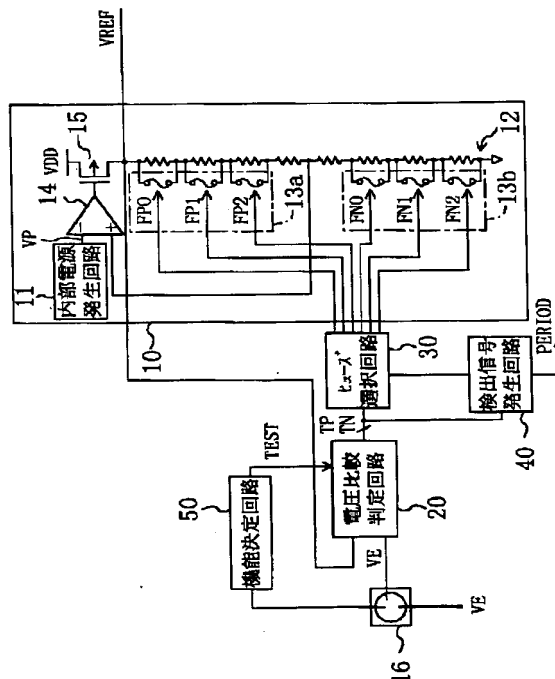
FF03 FF25 GG02 JJ05

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 内部基準電圧のトリミング精度をより一層向上させる。

【解決手段】 電圧比較判定回路20は内部基準電源回路10によって生成された内部基準電圧VREFとボンディングパッド16に外部印加された設定電圧VEとを比較し、内部基準電圧VREFのトリミングの要否を判定する。ヒューズ選択回路30は電圧比較判定回路20の判定信号TP, TNを受けて、内部基準電源回路10の擬似ヒューズ素子FP0~FP2, FN0~FN2のオンオフを設定する。これにより、内部基準電圧のトリミングにおいて、外部測定装置を用いた測定が不要になり、かつ、予め作成したトリミング表の利用も不要になる。したがって、外部測定装置の測定精度や製造ばらつきに依存しない高精度かつ安定したトリミングが実現される。



1

【特許請求の範囲】

【請求項 1】 内部電源電圧の基準となる内部基準電圧を生成する内部基準電源回路と、外部から電圧が印加可能な電圧印加部と、前記電圧印加部に印加された設定電圧と前記内部基準電圧とを比較し、この比較結果を基にして、前記内部基準電圧のトリミングの要否を判定する電圧比較判定回路とを備えている半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置において、前記内部基準電源回路は、前記内部基準電圧のトリミングのための擬似ヒューズ素子を有しており、当該半導体集積回路装置は、前記電圧比較判定回路から出力された判定信号を受けて、前記内部基準電源回路の擬似ヒューズ素子のオンオフを設定するヒューズ選択回路を備えていることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 2 記載の半導体集積回路装置において、前記ヒューズ選択回路の動作を監視し、この監視結果から、前記内部基準電圧のトリミングの実行の有無を示す検出信号を当該半導体集積回路装置の外部に出力する検出信号発生回路を備えていることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 2 記載の半導体集積回路装置において、前記ヒューズ選択回路の動作を監視し、この監視結果から、前記内部基準電源回路の擬似ヒューズ素子のオンオフの設定データを当該半導体集積回路装置の外部に出力する検出信号発生回路を備えていることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 2 記載の半導体集積回路装置において、前記内部基準電源回路は、擬似ヒューズ素子としてトランジスタを有するものであり、前記ヒューズ選択回路は、前記電圧比較判定回路から出力された判定信号を受けて、前記内部基準電源回路が擬似ヒューズ素子として有するトランジスタのゲート電位を制御するものであることを特徴とする半導体集積回路装置。

【請求項 6】 請求項 5 記載の半導体集積回路装置において、前記ヒューズ選択回路は、前記トランジスタに与えるゲート電位を、当該半導体集積回路装置の動作モード毎に記憶するプログラム部を有するものであることを特徴とする半導体集積回路装置。

【請求項 7】 請求項 1 記載の半導体集積回路装置において、前記電圧印加部に印加された電圧が所定の電圧を越えているとき、前記電圧比較判定回路に対して、内部基準電

2

圧のトリミングの要否判定の実行を指示するテストモード信号を出力する機能決定回路を備えていることを特徴とする半導体集積回路装置。

【請求項 8】 請求項 1 記載の半導体集積回路装置において、当該半導体集積回路装置外部から所定の信号を受けたとき、前記電圧比較判定回路に対して、内部基準電圧のトリミングの要否判定の実行を指示するテストモード信号を出力するモードレジスタ回路を備えていることを特徴とする半導体集積回路装置。

【請求項 9】 内部電源電圧の基準となる内部基準電圧を生成し、かつ、この内部基準電圧のトリミングのための擬似ヒューズ素子を有する内部基準電源回路と、モードレジスタのモード設定、または内部電源電圧を基にして動作する内部回路の動作状態に応じて、前記内部基準電源回路の擬似ヒューズ素子のオンオフを切替設定するヒューズ選択回路とを備え、前記ヒューズ選択回路による擬似ヒューズ素子のオンオフ設定によって、前記内部基準電圧を複数種類生成可能に構成されている半導体集積回路装置。

【請求項 10】 外部から電圧が印加可能な電圧印加部を備え、前記電圧印加部に印加された電圧を、内部電源電圧の基準となる電圧として用いる半導体集積回路装置。

【請求項 11】 請求項 10 記載の半導体集積回路装置において、

前記電圧印加部に印加された電圧を第 1 の基準電圧とすると、

前記第 1 の基準電圧とは別の第 2 の基準電圧を生成する内部電源発生回路と、

前記第 1 および第 2 の基準電圧のいずれかを、内部電源電圧の基準となる電圧として選択する基準電圧選択回路とを備えていることを特徴とする半導体集積回路装置。

【請求項 12】 請求項 11 記載の半導体集積回路装置において、

前記第 1 の電圧が所定の電圧を越えているとき、前記基準電圧選択回路に対して切替信号を出力する機能決定回路を備え、

前記基準電圧選択回路は、前記機能決定回路から切替信号を受けたときは、前記第 1 の基準電圧を内部電源電圧の基準となる電圧として選択する一方、受けないときは、前記第 2 の基準電圧を内部電源電圧の基準となる電圧として選択することを特徴とする半導体集積回路装置。

【請求項 13】 外部から入力されるデータの判定用の参照電圧を、内部電源電圧の基準となる電圧として用いる半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、外部供給電圧より

も低い内部電源電圧で動作する半導体集積回路装置に関するものであり、特に、内部電源電圧の基準となる内部基準電圧の高精度化および安定化のための技術に属する。

【0002】

【従来の技術】今日の半導体集積回路装置では、トランジスタのサイズは益々微細化され、またその個数は一層増大している。このため、装置の消費電流の増大を抑制するために低電圧化が必須になっており、外部供給電圧よりも低く設定した内部電源電圧で動作させることが通常行われている。またその内部電源電圧は、益々低くなる傾向にある。

【0003】一方、内部電源電圧の基準となる内部基準電圧は製造プロセスのばらつきに起因して変動するので、通常、この変動分を補正すべくトリミングを行って微調整することが行われている。したがって、今日の内部電源電圧の低電圧化において、内部回路を安定して動作させるためには、内部基準電圧のトリミングの高精度化と安定化が重要である。

【0004】図12は従来の半導体集積回路装置の構成例を示す図である。図12において、内部基準電源回路90は、内部電源発生回路91によって生成された電圧VPを抵抗列92、ヒューズ素子93a, 93b、コンパレータ94およびPMOSTランジスタ95によって内部基準電圧VREFに補正して出力する。負帰還カレントミラー差動アンプ97は内部基準電源回路90から出力された内部基準電圧VREFと内部電源電圧VINTとを入力とし、差動アンプ97の出力を受けて駆動回路98は内部回路99に内部電源電圧VINTを駆動する。

【0005】内部基準電源回路90にヒューズ素子93a, 93bを設けたことによって、製造ばらつきに起因して内部基準電圧VREFが所望の設定電圧から外れた場合であっても、その設定電圧に一致するように内部基準電圧VREFを補正することができる。すなわち、外部測定装置100によってボンディングパッド96から内部電源電圧VINTを測定し、この測定結果から補正すべき電圧差を求め、この電圧差から、予め作成されたトリミング対応表を基にして、切断すべきヒューズ素子を特定する。特定したヒューズ素子を切断することによって、内部基準電圧VREFは所望の設定電圧に補正される。

【0006】

【発明が解決しようとする課題】しかしながら、従来の半導体集積回路装置では次のような問題があった。

【0007】従来の半導体集積回路装置では、外部測定装置を用いた測定結果に応じて切断すべきヒューズ素子を特定するため、内部基準電圧の補正精度が外部測定装置の測定精度に依存することになり、トリミングのさらなる高精度化が図れない。また、トリミング対応表を基

にして切断すべきヒューズ素子を特定するため、測定結果から求めた補正すべき電圧差がトリミング対応表に記載されていない場合には、その近似値に対応したヒューズ素子を切断することになり、このため、内部基準電圧が必ずしも所望の設定電圧に補正されないおそれがある。

【0008】前記の問題に鑑み、本発明は、内部電源電圧で動作する半導体集積回路装置として、内部電源電圧の基準となる内部基準電圧のトリミング精度をより一層向上させることを課題とする。

【0009】

【課題を解決するための手段】前記の課題を解決するために、請求項1の発明が講じた解決手段は、半導体集積回路装置として、内部電源電圧の基準となる内部基準電圧を生成する内部基準電源回路と、外部から電圧が印加可能な電圧印加部と、前記電圧印加部に印加された設定電圧と前記内部基準電圧とを比較し、この比較結果を基にして、前記内部基準電圧のトリミングの可否を判定する電圧比較判定回路とを備えているものとする。

【0010】請求項1の発明によると、内部基準電圧のトリミングの可否を判定する電圧比較判定回路を設けたので、従来ような外部測定装置を用いた測定が不要になる。このため、内部基準電圧のトリミング精度が外部測定装置の測定精度に依存することが回避できるので、内部基準電圧のトリミング精度をより一層向上させることができる。

【0011】そして、請求項2の発明では、前記請求項1の半導体集積回路装置において、前記内部基準電源回路は前記内部基準電圧のトリミングのための擬似ヒューズ素子を有しており、当該半導体集積回路装置は、前記電圧比較判定回路から出力された判定信号を受けて前記内部基準電源回路の擬似ヒューズ素子のオンオフを設定するヒューズ選択回路を備えているものとする。

【0012】請求項2の発明によると、内部基準電圧のトリミングは、ヒューズ選択回路が、電圧比較判定回路から出力された判定信号を受けて内部基準電源回路の擬似ヒューズ素子のオンオフを設定することによって実行される。すなわち、従来のような、予め作成したトリミング対応表を用いたトリミングではなく、実際の内部基準電圧の変動に即したトリミングが可能になるので、トリミング精度をさらに向上させることができる。

【0013】また、請求項3の発明では、前記請求項2の半導体集積回路装置は、前記ヒューズ選択回路の動作を監視し、この監視結果から、前記内部基準電圧のトリミングの実行の有無を示す検出信号を当該半導体集積回路装置の外部に出力する検出信号発生回路を備えているものとする。

【0014】また、請求項4の発明では、前記請求項2の半導体集積回路装置は、前記ヒューズ選択回路の動作を監視し、この監視結果から、前記内部基準電源回路の

擬似ヒューズ素子のオンオフの設定データを当該半導体集積回路装置の外部に出力する検出信号発生回路を備えているものとする。

【0015】さらに、請求項5の発明では、前記請求項2の半導体集積回路装置において、前記内部基準電源回路は擬似ヒューズ素子としてトランジスタを有するものとし、前記ヒューズ選択回路は、前記電圧比較判定回路から出力された判定信号を受けて、前記内部基準電源回路が擬似ヒューズ素子として有するトランジスタのゲート電位を制御するものとする。

【0016】また、請求項6の発明では、前記請求項5の半導体集積回路装置におけるヒューズ選択回路は、前記トランジスタに与えるゲート電位を、当該半導体集積回路装置の動作モード毎に記憶するプログラム部を有するものとする。

【0017】そして、請求項7の発明では、前記請求項1の半導体集積回路装置は、前記電圧印加部に印加された電圧が所定の電圧を越えているとき、前記電圧比較判定回路に対して、内部基準電圧のトリミングの要否判定の実行を指示するテストモード信号を出力する機能決定回路を備えているものとする。

【0018】また、請求項8の発明では、前記請求項1の半導体集積回路装置は、当該装置外部から所定の信号を受けたとき、前記電圧比較判定回路に対して、内部基準電圧のトリミングの要否判定の実行を指示するテストモード信号を出力するモードレジスタ回路を備えているものとする。

【0019】また、請求項9の発明が講じた解決手段は、半導体集積回路装置として、内部電源電圧の基準となる内部基準電圧を生成し、かつこの内部基準電圧のトリミングのための擬似ヒューズ素子を有する内部基準電源回路と、モードレジスタのモード設定または前記内部電源電圧を基にして動作する内部回路の動作状態に応じて、前記内部基準電源回路の擬似ヒューズ素子のオンオフを切替設定するヒューズ選択回路とを備え、前記ヒューズ選択回路による擬似ヒューズ素子のオンオフ設定によって、前記内部基準電圧を複数種類生成可能に構成されているものである。

【0020】請求項9の発明によると、複数種類の内部基準電圧が生成可能であるので、例えば、内部回路を高速に動作させる必要があるときは、ヒューズ選択回路によって内部電源電圧が相対的に高く設定されるように擬似ヒューズ素子をオンオフ設定することによって、内部回路の高速動作を実現する一方、スタンバイ状態のときまたは低速動作されるときは、ヒューズ選択回路によって内部電源電圧が相対的に低く設定されるように擬似ヒューズ素子をオンオフ設定することによって、消費電流をより一層低減することが可能になる。

【0021】また、請求項10の発明が講じた解決手段は、半導体集積回路装置として、外部から電圧が印加可

能な電圧印加部を備え、前記電圧印加部に印加された電圧を内部電源電圧の基準となる電圧として用いるものである。

【0022】請求項10の発明によると、電圧印加部に印加された電圧が内部電源電圧の基準として用いられるので、内部電源電圧の基準電圧のトリミングが基本的に必要でなくなる。すなわち、基準電圧のトリミング自体を排除したので、製造プロセスに起因するばらつきを回避することができ、高精度かつ安定した内部電源電圧の基準電圧を提供することができる。また、ユーザ側で基準電圧を自由に設定することができる。

【0023】そして、請求項11の発明では、前記請求項10の半導体集積回路装置において、前記電圧印加部に印加された電圧を第1の基準電圧とすると、前記第1の基準電圧とは別の第2の基準電圧を生成する内部電源発生回路と、前記第1および第2の基準電圧のいずれかを内部電源電圧の基準となる電圧として選択する基準電圧選択回路とを備えているものとする。

【0024】さらに、請求項12の発明では、前記請求項11の半導体集積回路装置は、前記第1の電圧が所定の電圧を越えているとき、前記基準電圧選択回路に対して切替信号を出力する機能決定回路を備えたものとし、前記基準電圧選択回路は、前記切替信号を受けたときは前記第1の基準電圧を内部電源電圧の基準となる電圧として選択する一方、受けないときは、前記第2の基準電圧を内部電源電圧の基準となる電圧として選択するものとする。

【0025】また、請求項13の発明が講じた解決手段は、半導体集積回路装置として、外部から入力されるデータの判定用の参照電圧を内部電源電圧の基準となる電圧として用いるものである。

【0026】

【発明の実施の形態】以下、本発明の実施形態について、図面を参照しながら説明する。

【0027】（第1の実施形態）図1は本発明の第1の実施形態に係る半導体集積回路装置の構成を示す図である。図1において、10は内部電源電圧の基準となる内部基準電圧VREFを生成する内部基準電源回路であり、電圧VPを生成する内部電源発生回路11と、複数の抵抗素子が直列に接続されてなる抵抗列12と、内部基準電圧VREFのトリミングのための擬似ヒューズ素子FP0～FP2、FN0～FN2を含む第1および第2のヒューズ補正部13a、13bと、電圧VPと内部基準電圧VREFとを比較出力するコンパレータ14と、このコンパレータ14の出力をゲートに受けて動作するPMOSトランジスタ15とから構成される。

【0028】擬似ヒューズ素子FP0～FP2、FN0～FN2は不揮発性メモリによってそれぞれ構成されている。第1のヒューズ補正部13aの擬似ヒューズ素子FP0～FP2をオフすることによって、内部基準電圧

VREFをより高い電圧に補正することができ（正補正）、逆に、第2のヒューズ補正部13bの擬似ヒューズ素子FN0～FN2をオフすることによって、内部基準電圧VREFをより低い電圧に補正することができる（負補正）。

【0029】また外部から電圧が印加可能な電圧印加部としてのボンディングパッド16には、内部基準電圧VREFのための設定電圧VEが外部から印加される。電圧比較判定回路20は、テストモード信号TESTを受けてトリミングテストモードに入り、ボンディングパッド16に印加された設定電圧VEと内部基準電源回路10によって生成された内部基準電圧VREFとを比較し、内部基準電圧VREFのトリミングの要否すなわち正補正または負補正の要否を判定し、判定信号TP, TNを出力する。機能決定回路50はボンディングパッド16に印加された電圧が所定の電圧を越えているとき、テストモード信号TESTを活性化し、電圧比較判定回路20に対して内部基準電圧VREFのトリミングの要否判定の実行を指示する。

【0030】ヒューズ選択回路30は電圧比較判定回路20から出力された判定信号TP, TNを受けて、第1および第2のヒューズ補正部13a, 13bの擬似ヒューズ素子FP0～FP2, FN0～FN2のオンオフを設定する。検出信号発生回路40はヒューズ選択回路30の動作を監視し、この監視結果から、トリミングテストモード期間を知らせる、すなわち内部基準電圧VREFのトリミングの実行の有無を示す検出信号PERIODを外部に出力する。また、トリミング結果すなわち擬似ヒューズ素子FP0～FP2, FN0～FN2のオンオフの設定データも外部に出力する。

【0031】図2は電圧比較判定回路20の回路構成例を示す図である。図2において、21は第1のカレントミラー差動アンプ回路であり、ボンディングパッド16に印加された設定電圧VEと内部基準電源回路10によって生成された内部基準電圧VREFとを入力とし、差動出力OPHを出力する。22は回路21の相補型の第2のカレントミラー差動アンプ回路であり、回路21と同様に設定電圧VEと内部基準電圧VREFとを入力とし、差動出力OPLを出力する。23は第1のカレントミラー差動アンプ回路21の差動出力OPHを受けて判定信号TPとして“H”または“L”を出力する第1のインバータレシオ回路、24は第2のカレントミラー差動アンプ回路22の差動出力OPLを受けて判定信号TNとして“H”または“L”を出力する第2のインバータレシオ回路である。

【0032】図3はヒューズ選択回路30の回路構成例を示す図である。図3において、31はクロックCLKを計数する第1のカウンタであり、その出力CN0, CN1, CN2は負補正用の擬似ヒューズ素子FN0, FN1, FN2のオンオフをそれぞれ制御する。32は第

1のカウンタ31と同様にクロックCLKを計数する第2のカウンタであり、その出力CP0, CP1, CP2は正補正用の擬似ヒューズ素子FP0, FP1, FP2のオンオフをそれぞれ制御する。第1および第2のカウンタ31, 32は対応する擬似ヒューズ素子の個数（ここでは3個）に応じて、ともに3進カウンタとして構成されている。第1のカウンタ31は電圧比較判定回路20から出力される判定信号TNをクリア入力とし、一方、第2のカウンタ32は電圧比較判定回路20から出力される判定信号TPをクリア入力とする。

【0033】また33は負補正用の擬似ヒューズ素子FN0, FN1, FN2のオンオフを制御する第1のカウンタ31の出力CN0, CN1, CN2をラッチする負補正用ラッチ回路、34は正補正用の擬似ヒューズ素子FP0, FP1, FP2のオンオフを制御する第2のカウンタ32の出力CP0, CP1, CP2をラッチする正補正用ラッチ回路である。負補正用および正補正用ラッチ回路33, 34は内部基準電圧VREFの最終のトリミング結果をラッチする。また、負補正用および正補正用プログラム回路35, 36は記憶素子として不揮発性メモリを有しており、負補正用または正補正用ラッチ回路33, 34がラッチしたトリミング結果を記憶する。

【0034】図5は検出信号発生回路40の構成例を示す図である。図5において、41は電圧比較判定回路20から出力される判定信号TP, TNを入力とするOR回路であり、その出力は検出信号PERIODとしてパッドDQ0から外部に出力される。42はヒューズ選択回路30の負補正用および正補正用ラッチ回路33, 34がラッチしたトリミング結果と検出信号PERIODとを受けて、トリミング結果を外部に出力する選択回路である。

【0035】選択回路42は検出信号PERIODが“L”になりトリミングの終了を示したとき、トリミング結果CN0～CN2またはCP0～CP2を対応するパッドDQ1～DQ3にそれぞれ出力する。ただし、出力パッドの個数が負補正用または正補正用の擬似ヒューズ素子の個数よりも少ないときは、選択回路42はトリミング結果を数回に分けてパッドに出力する。

【0036】図6は機能決定回路50の構成例を示す図である。図6の構成では、設定電圧VEが所定の電圧を越えるとテストモード信号TESTは“H”になり、これにより、電圧比較判定回路20に対して、内部基準電圧VREFのトリミングの要否判定の実行を指示する。このときから、本実施形態に係る半導体集積回路装置はトリミングテストモードに入る。

【0037】本実施形態に係る半導体集積回路装置の動作について説明する。

【0038】図2に示す電圧比較判定回路20の動作は以下のように動作する。なお、以下の説明において、 α

は内部基準電圧 V_{REF} の誤差許容範囲を示す値を示すものとする($\alpha > 0$)。

【0039】(1) $V_{REF} < V_E - \alpha$ のとき
第1のカレントミラー差動アンプ回路21の差動出力OPHは第1のインバータレシオ回路23の出力信号TPが“H”になる程度に充分低くなる。すなわち判定信号TPは“H”になる。一方、第2のカレントミラー差動アンプ回路22の差動出力OPLは“H”になり、第2のインバータレシオ回路23の出力すなわち判定信号TNは“L”になる。これにより、内部基準電圧 V_{REF} の正補正用の擬似ヒューズ素子、すなわち第1のヒューズ補正部13aに含まれる擬似ヒューズ素子FP0~FP2がオフされる。

【0040】(2) $V_{REF} > V_E + \alpha$ のとき
第2のカレントミラー差動アンプ回路22の差動出力OPLは第2のインバータレシオ回路24の出力信号TNが“H”になる程度に充分低くなる。すなわち判定信号TNは“H”になる。一方、第1のカレントミラー差動アンプ回路21の差動出力OPHは“H”になり、第1のインバータレシオ回路23の出力すなわち判定信号TPは“L”になる。これにより、内部電源電圧 V_{REF} の負補正用の擬似ヒューズ素子、すなわち第2のヒューズ補正部13bに含まれる擬似ヒューズ素子FN0~FN2がオフされる。

【0041】(3) $V_E + \alpha \leq V_{REF} \leq V_E - \alpha$ のとき
第1および第2のインバータレシオ回路23, 14の出力である判定信号TP, TNはともに“L”になる。これにより、擬似ヒューズ素子FN0~FN2, FP0~FP2はいずれもオフされない。

【0042】図3に示すヒューズ選択回路30は以下のように動作する。

【0043】内部基準電圧 V_{REF} が設定電圧 V_E よりも高く、内部基準電圧 V_{REF} に負補正が必要である場合(前記(2)の場合)は、電圧比較判定回路20から出力される判定信号TNが“H”になり、第1のカウンタ31が活性化する。これにより、第1のカウンタ31はクロックCLKの計数を開始し、計数に応じて、負補正用ヒューズ素子FN0, FN1, FN2のオンオフを制御するための信号CN0, CN1, CN2を出力する。この結果、負補正用擬似ヒューズ素子FN0, FN1, FN2のオンオフが図4に示すように制御される。

【0044】いま、各擬似ヒューズ素子FN0, FN1, FN2に対応した補正用抵抗素子R0, R1, R2の抵抗値をそれぞれ100, 200, 400(k Ω)とすると、トリミングされる抵抗値は100(=R0), 200(=R1), 300(=R0+R1), 400(=R2), 500(=R0+R2)というように順次100k Ω ずつ増加していく。

【0045】内部基準電圧 V_{REF} が設定電圧 V_E にほ

ぼ達したとき(前記(3))、電圧比較判定回路20から出力される判定信号TNは“L”になる。このとき、負補正用ラッチ回路33は最終のトリミング結果をラッチし、第1のカウンタ31は計数値をクリアする。負補正用プログラム回路35は負補正用ラッチ回路33にラッチされた最終のトリミング結果を入力し、不揮発性メモリに記憶させる。このような動作により、内部基準電圧 V_{REF} のトリミングが終了する。

【0046】一方、内部基準電圧 V_{REF} が設定電圧 V_E よりも低く、内部基準電圧 V_{REF} に正補正が必要である場合(前記(1)の場合)は、第2のカウンタ32が活性化し、以下、上記の場合と同様に動作する。

【0047】なお、負補正用および正補正用プログラム回路35, 36は、記憶素子として不揮発性メモリの代わりにROMを有する構成としてもよい。この場合は、例えば検出信号発生回路40から外部に出力されたトリミング結果をこのROMに記憶させればよい。

【0048】以上のように本実施形態によると、内部基準電圧のトリミングにおいて、外部測定装置を用いた測定が不要になり、かつ、予め作成したトリミング表の利用も不要になる。したがって、外部測定装置の測定精度や製造ばらつきに依存しない高精度かつ安定したトリミングが実現される。

【0049】(第1の実施形態の変形例) 第1の実施形態では内部基準電源回路のトリミング用擬似ヒューズ素子を不揮発性メモリによって構成するものとしたが、不揮発性メモリの代わりにMOSトランジスタを擬似ヒューズ素子として用いてもよい。

【0050】図7は第1の実施形態の変形例に係る半導体集積回路装置の構成を示す図である。図7において、図1と機能が共通する構成要素には図1と同一の符号を付しており、ここでは詳細な説明を省略する。内部基準電源回路10Aは、図1に示した第1および第2のヒューズ補正部13a, 13bの代わりに、正補正用擬似ヒューズ素子としてPMOSトランジスタMP0, MP1を有する第1のヒューズ補正部18aおよび負補正用擬似ヒューズ素子としてNMOSトランジスタMN0, MN1を有する第2のヒューズ補正部18bを備えている。第1および第2のヒューズ補正部18a, 18bの各MOSトランジスタMP0, MP1, MN0, MN1のゲートにはヒューズ選択回路30Aの出力信号が与えられる。すなわち、第1および第2のヒューズ補正部18a, 18bの各MOSトランジスタMP0, MP1, MN0, MN1はヒューズ選択回路30Aによってオンオフ制御され、トリミング用の擬似ヒューズ素子としての役割を果たす。

【0051】またヒューズ選択回路30Aは、第1および第2のヒューズ補正部18a, 18bの各MOSトランジスタMP0, MP1, MN0, MN1のゲートの制御電位を記憶するプログラム部38を有している。検出

11

信号発生回路 40 は第 1 の実施形態と同様に、トリミングテストモード期間を知らせる検出信号 PERIOD と、トリミング結果すなわち内部基準電圧 VREF を補正する際の各 MOS トランジスタ MP0, MP1, MN0, MN1 のゲート電位の設定を外部に出力する。検出信号発生回路 40 の出力結果を基にして、ヒューズ選択回路 30A のプログラム部 38 にトリミングのための各 MOS トランジスタ MP0, MP1, MN0, MN1 のゲート電位の設定値を記憶させる。

【0052】また、内部基準電源回路 10A から複数種類の内部基準電圧 VREF が生成可能になるように、ヒューズ選択回路 30A のプログラム部 38 に当該半導体集積回路装置の動作モード毎に複数のプログラムモードを記憶させてもよい。各プログラムモードでは内部基準電圧 VREF がそれぞれ異なる値になるように、第 1 および第 2 のヒューズ補正部 18a, 18b の各 MOS トランジスタ MP0, MP1, MN0, MN1 のゲート電位がそれぞれ設定される。

【0053】ヒューズ選択回路 30A のプログラム部 38 のモードを例えばモードレジスタ 39 のモード設定に応じて切り替えることによって、第 1 および第 2 のヒューズ補正部 18a, 18b の各 MOS トランジスタ MP0, MP1, MN0, MN1 のゲート電位の設定を変更することができる。これにより、擬似ヒューズ素子としての MOS トランジスタのオンオフがモード設定に応じて切替設定されることになり、この結果、内部基準電圧 VREF の設定変更を容易に実現することができる。

【0054】なお、ヒューズ選択回路 30A のプログラム部 38 のモード切替は、モードレジスタ 39 のモード設定に応じて行う代わりに、例えば内部電源電圧を基にして動作する内部回路の動作状態に応じて行ってもよい。

【0055】複数種類の内部基準電圧 VREF を生成可能にしたことによって、例えば、内部回路を高速に動作させる必要があるときは、内部電源電圧の設定を相対的に高くすることによって内部回路の高速動作を実現する一方、スタンバイ状態のときまたは低速動作されるときは、内部電源電圧の設定を相対的に低くすることによって、消費電流をより一層減らすことが可能になる。

【0056】このように本変形例によると、ヒューズ選択回路 30 のプログラム部 38 に複数のプログラムモードを記憶させることによって、複数種類の内部基準電圧 VREF の設定が可能になるので、内部基準電圧 VREF を 2 モードまたはこれ以上に設定することが容易に実現できる。

【0057】なお、第 1 の実施形態およびその変形例では、電圧比較判定回路 20 に対して内部基準電圧 VREF のトリミングの要否判定の実行を指示するために、機能決定回路 50 によってテストモード信号 TEST を活性化するものとしたが、例えば図 8 に示すように機能決

12

定回路 50 の代わりにモードレジスタ回路 55 を設けてもよい。モードレジスタ回路 55 はトリミングテストモード用のレジスタを有しており、外部からそのレジスタに所定の信号を受けたとき、テストモード信号 TEST を活性化して、電圧比較判定回路 20 に対して内部基準電圧 VREF のトリミングの要否判定の実行を指示する。

【0058】なお、第 1 の実施形態およびその変形例では、外部から印加する設定電圧 VE の比較対象を内部基準電圧 VREF としたが、これの代わりに、従来例に示したような内部電源電圧 VINT をその比較対象としてもかまわない。

【0059】また、ボンディングパッド 16 の代わりに、外部から設定電圧 VE を印加でき、かつ、外部から内部基準電圧 VREF を測定できるオプションパッドを設け、このオプションパッドに印加された設定電圧 VE を内部基準電圧 VREF のトリミングのために用いるモードと、オプションパッドから内部基準電圧 VREF を測定するモードとをモードレジスタの設定によって切替可能に構成してもかまわない。

【0060】(第 2 の実施形態) 図 9 は本発明の第 2 の実施形態に係る半導体集積回路装置の基本構成を示す図である。本実施形態に係る半導体集積回路装置は、内部電源電圧 VINT を精度よく安定させるために、その基準となる基準電圧 VREF1 を外部から印加させることを特徴とする。図 9 において、81 は電圧印加部としてのボンディングパッド 84 に外部から印加された第 1 の基準電圧 VREF1 と内部電源電圧 VINT とを入力とする負帰還カレントミラー差動アンプ、82 は負帰還カレントミラー差動アンプ 81 の出力 VDRV をうけて内部回路 83 に内部電源電圧 VINT を供給する駆動回路である。

【0061】図 10 は本実施形態に係る半導体集積回路装置の構成例を示す図であり、図 9 の構成に加えて、第 2 の基準電圧 VREF2 を生成する内部電源発生回路 85 と、ボンディングパッド 84 に外部から印加された第 1 の基準電圧 VREF1 および内部電源発生回路 85 によって生成された第 2 の基準電圧 VREF2 のいずれかを内部電源電圧 VINT の基準となる電圧として選択する基準電圧選択回路 86 と、第 1 の実施形態に係る機能決定回路 50 と同様に図 6 に示すように構成された機能決定回路 87 とを備えている。基準電圧選択回路 86 は機能決定回路 87 からの切替信号 CHG の出力の有無に応じて、内部電源電圧 VINT の基準となる電圧の選択を行う。差動アンプ 81 は基準電圧選択回路 86 によって選択された第 1 または第 2 の基準電圧 VREF1, VREF2 のいずれかと内部電源電圧 VINT とを入力とする。

【0062】機能決定回路 87 はボンディングパッド 84 に印加された第 1 の基準電圧 VREF1 が所定の電位

を越えているとき、切替信号CHGを出力する。基準電圧選択回路86は切替信号CHGを受けたときは第1の基準電圧VREF1を内部電源電圧VINTの基準となる電圧として選択し、切替信号CHGを受けないときは内部電源発生回路85によって生成された第2の基準電圧VREF2を内部電源電圧VINTの基準となる電圧として選択する。このような動作により、電源投入時など第1の基準電圧VREF1が内部電源電圧VINTの基準となる電圧として利用可能なレベルにまだ達していないときは、内部基準電源回路85によって生成された第2の基準電圧VINT2を内部電源電圧VINTの基準となる電圧として用いることが可能になる。

【0063】図11は本実施形態に係る半導体集積回路装置の他の構成例を示す図であり、基準電圧選択回路86における基準電圧の選択のために、図10に示す機能決定回路87の代わりにモードレジスタ回路88を設けている。

【0064】モードレジスタ回路88を基準電圧の選択のために設けたことによって、ユーザは、外部から印加した第1の基準電圧VREF1および内部電源発生回路85によって生成された第2の基準電圧VREF2のいずれを内部電源電圧VINTの基準となる電圧として用いるかをモード設定によって任意に決めることができる。したがって、ユーザの希望に合った使用が可能になる。

【0065】またウエハテストにおいて、ウエハテストモードのときは外部から印加された第1の基準電圧VREF1を用いて検査を実施し、内部電源発生回路85によって生成された第2の基準電圧VREF2がトリミングされた後はこの第2の基準電圧VREF2を用いて検査を実施できるように、図11の構成を応用してもよい。

【0066】また、機能決定回路87とモードレジスタ回路88とを併用してもよい。さらには、データ入出力用の参照電圧が内部電源電圧の基準電圧とほぼ等しい場合には、データ入出力用の参照電圧を内部電源電圧VINTの基準となる電圧として用いることも可能である。

【0067】以上のように本実施形態によると、内部電源電圧VINTの基準となる電圧のトリミングが基本的に必要でなくなるので、製造プロセスに起因するばらつきを回避することができ、高精度かつ安定した内部電源電圧の基準電圧を提供することができる。また、ボンディングパッド84からユーザが基準電圧VREF1を自由に設定することができる。

【0068】

【発明の効果】以上のように本発明によると、内部基準電圧のトリミング精度が外部測定装置の測定精度に依存することがない。また、予め作成したトリミング対応表を用いなくて、実際の内部基準電圧の変動に即したトリミングが可能になる。したがって、内部基準電圧のトリ

ミング精度をより一層向上させることができる。これにより、内部電源電圧の安定化および高精度化が実現され、内部回路の動作がより一層安定する。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体集積回路装置の構成を示す図である。

【図2】図1に示す半導体集積回路装置における電圧比較判定回路の回路構成例を示す図である。

【図3】図1に示す半導体集積回路装置におけるヒューズ選択回路の回路構成例を示す図である。

【図4】図3のヒューズ選択回路による擬似ヒューズ素子のオンオフ制御を示す図である。

【図5】図1に示す半導体集積回路装置における検出信号発生回路の構成例を示す図である。

【図6】図1に示す半導体集積回路装置における機能決定回路の構成例を示す図である。

【図7】第1の実施形態の変形例に係る半導体集積回路装置の構成を示す図である。

【図8】第1の実施形態に係る半導体集積回路装置の他の構成例を示す図である。

【図9】本発明の第2の実施形態に係る半導体集積回路装置の基本構成を示す図である。

【図10】本発明の第2の実施形態に係る半導体集積回路装置の構成例を示す図である。

【図11】本発明の第2の実施形態に係る半導体集積回路装置の他の構成例を示す図である。

【図12】従来の半導体集積回路装置の構成を示す図である。

【符号の説明】

VREF 内部基準電圧

VE 設定電圧

TP, TN 判定信号

PERIOD 検出信号

TEST テストモード信号

FP0~FP2, FN0~FN2 擬似ヒューズ素子

MP0, MP1, MN0, MN1 トランジスタ (擬似ヒューズ素子)

10 内部基準電源回路

16 ボンディングパッド (電圧印加部)

20 電圧比較判定回路

30 ヒューズ選択回路

30A ヒューズ選択回路

38 プログラム部

40 検出信号発生回路

50 機能決定回路

55 モードレジスタ回路

VINT 内部電源電圧

VREF1 第1の基準電圧

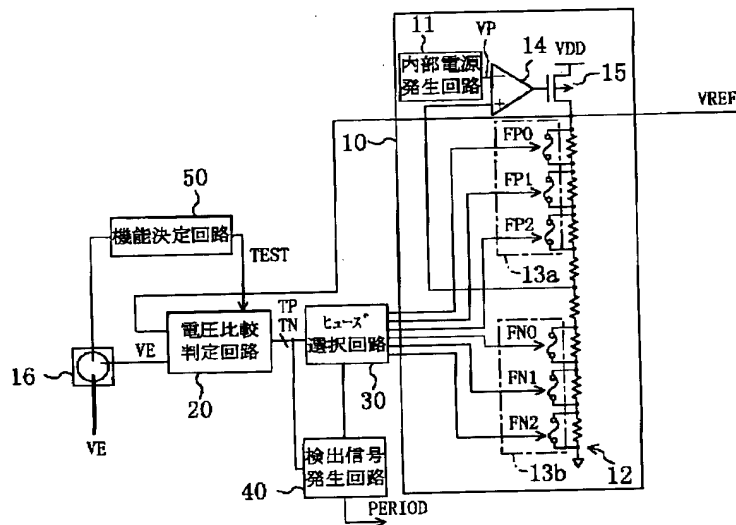
VREF2 第2の基準電圧

CHG 切替信号

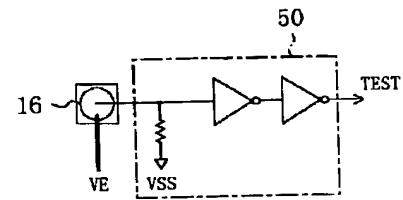
15
84 ボンディングパッド (電圧印加部)
85 内部電源発生回路

16
86 基準電圧選択回路
87 機能決定回路

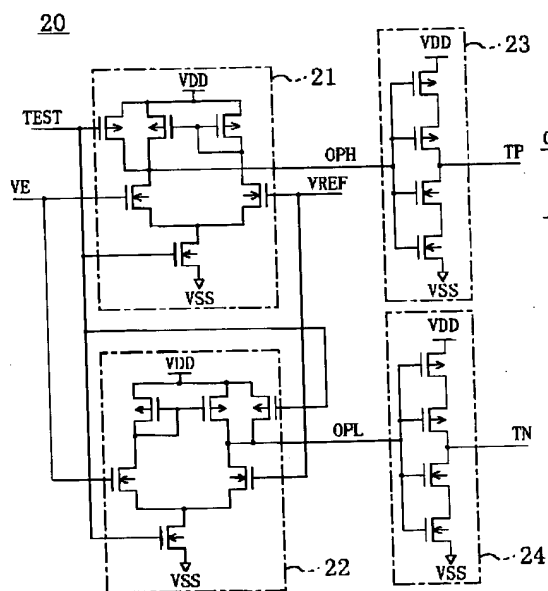
【図1】



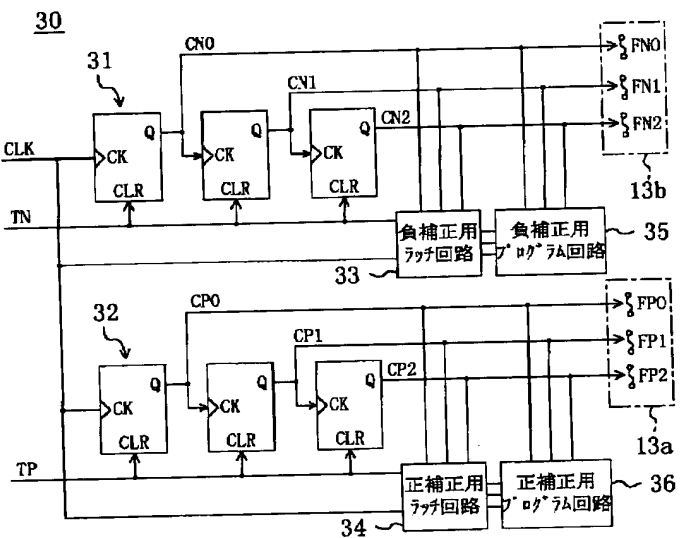
【図6】



【図2】



【図3】

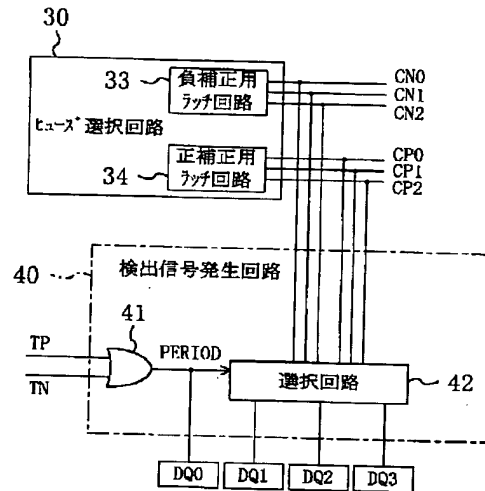


【図 4】

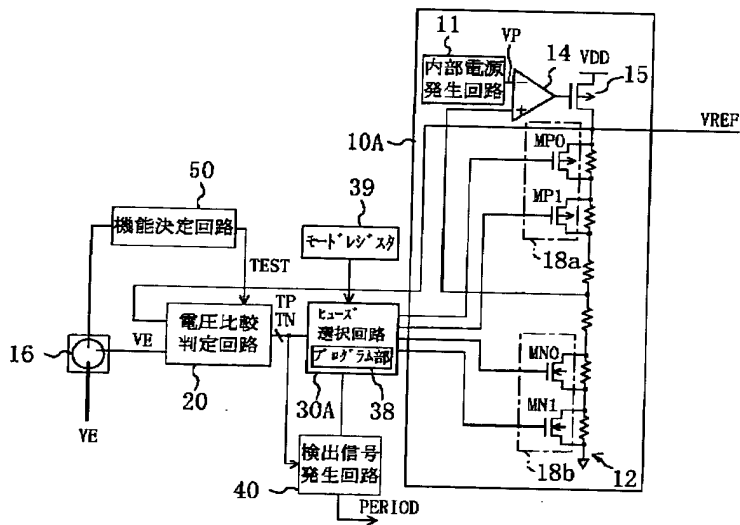
計数値	FN0	FN1	FN2
1	×	○	○
2	○	×	○
3	×	×	○
4	○	○	×
5	×	○	×
6	○	×	×
7	×	×	×

× お
 ○ ち

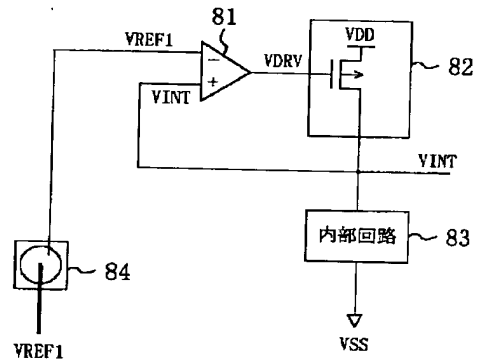
【図 5】



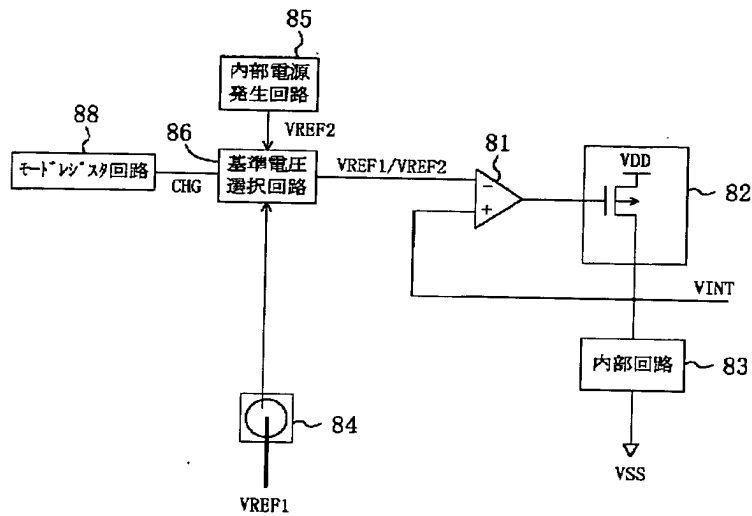
【図 7】



【図 9】



【図11】



【図12】

